

IL BUS SPI

Il bus **SPI** (Serial Peripheral Interface) è un bus di comunicazione seriale sincrono sviluppato dalla Motorola del genere **Master-Slave**.

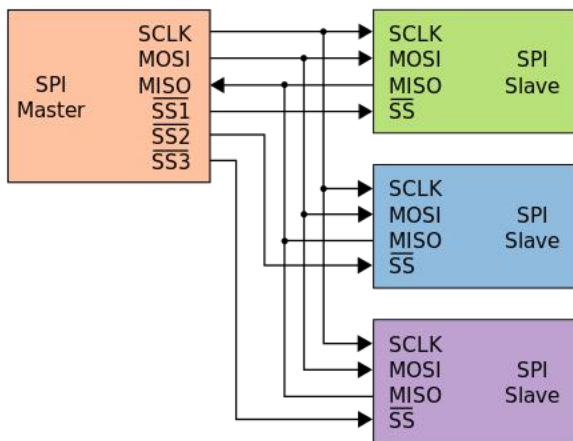
Esso si definisce **seriale** in quanto alla trasmissione-ricezione dei dati avviene bit a bit, **sincrono** per la presenza di un clock che coordina le operazioni di trasmissione e ricezione dei bit e determina la velocità di trasmissione e si definisce inoltre **full-duplex** poiché il processo di trasmissione e ricezione può avvenire contemporaneamente e in maniera simultanea.

Il master è il dispositivo che controlla il sistema, in genere un microcontrollore, emettendo il segnale di clock e stabilendo l'inizio e la fine della comunicazione, mentre lo slave è un dispositivo periferico che può ricevere e inviare dati, ma non può inviare comandi, né iniziare una sessione di trasmissione. Il clock con cui trasmette e riceve i dati è in ogni caso fornito dal master e lo slave non ha alcun controllo su questa linea. Esclusi i collegamenti dell'alimentazione, di cui almeno una connessione di riferimento deve essere in comune (trasmissione non bilanciata), il sistema è comunemente definito a **quattro linee** di comunicazione i cui nomi possono differire dal tipo di dispositivi utilizzati, infatti, sebbene l'SPI sia considerato un bus di comunicazione standard, manca di un protocollo di comunicazione univocamente definito, tuttavia, vengono solitamente indicate con le seguenti sigle:

- **MOSI**: Master Output Slave Input (canale per la trasmissione dati dal master allo slave)
- **MISO**: Master Input Slave Output (canale per la trasmissione dati dallo slave al master)
- **SCLK**: Serial Clock (canale del clock che scandisce gli istanti di trasmissione e ricezione dei bit sulle apposite linee)
- **SS**: Slave Select (canale attraverso cui si sceglie lo slave con cui s'intende comunicare, solitamente attivo basso)

Il protocollo SPI non è stato studiato per essere implementato all'interno di un sistema multi-master, ma è possibile collegare più slave ad un unico master mediante due possibili configurazioni:

Dispositivi slave controllati singolarmente



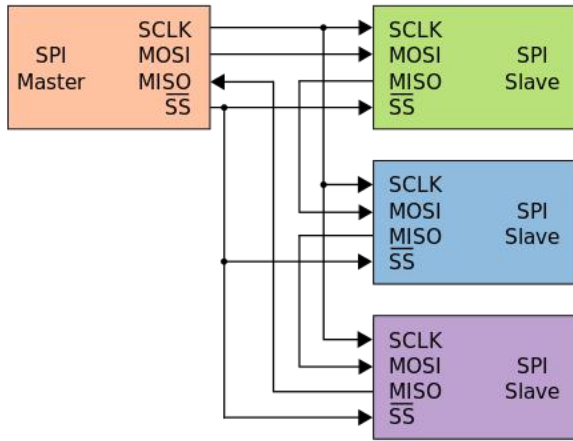
Contrariamente ad altri bus di comunicazione come l'I2C, i singoli dispositivi slave non sono identificati da un preciso indirizzo, bensì vengono abilitati e disabilitati tramite il canale SS, comunemente attivo basso.

In questa configurazione, ogni dispositivo slave viene attivato singolarmente tramite il corrispondente canale SS sul master, che può essere un apposito pin preposto allo scopo dal modulo SPI interno al master o un semplice pin di input/output, mentre gli altri canali SS devono essere necessariamente posti a livello logico alto al fine di disattivare gli altri slave e ponendo le rispettive uscite MISO in alta impedenza, al fine di evitare situazioni di conflitto sulla linea e casi di cortocircuito.

Tale architettura presenta il vantaggio di consentire

un'elevata velocità di comunicazione tra il master e i singoli slave, tuttavia, comporta altresì un elevato numero di pin SS, tanti quanti il numero degli slave.

Dispositivi slave connessi in catena (*daisy chain*)



In questa configurazione, invece, il dispositivo master possiede un unico pin SS in uscita ed il segnale che esso pilota è effettivamente pilota è inviato a tutti i dispositivi slave sui relativi pin SS, ovvero tutti gli slave sono attivi contemporaneamente.

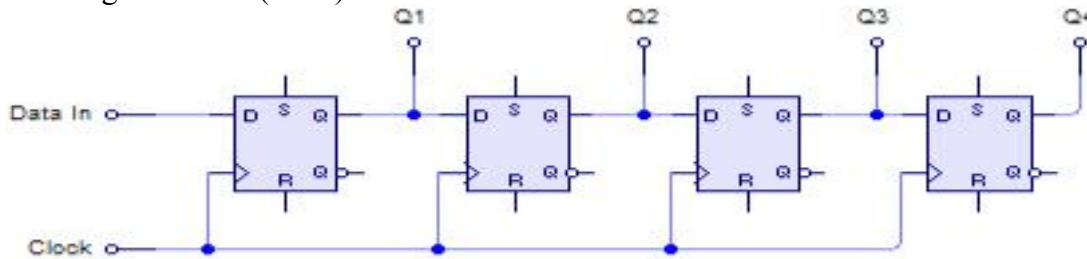
Il master invia il dato solo al primo slave con il canale MOSI, successivamente i vari dispositivi slave comunicano tra loro in cascata facendo uso dei canali MISO e MOSI fino a quando, alla fine della catena, l'ultimo slave avrà il suo canale MISO concretamente collegato al master.

Il vantaggio di questa soluzione risiede nell'abolizione di un numero elevato di pin SS a favore di un unico pin SS che gestisce tutti gli slave, oltre a rendere di per sé

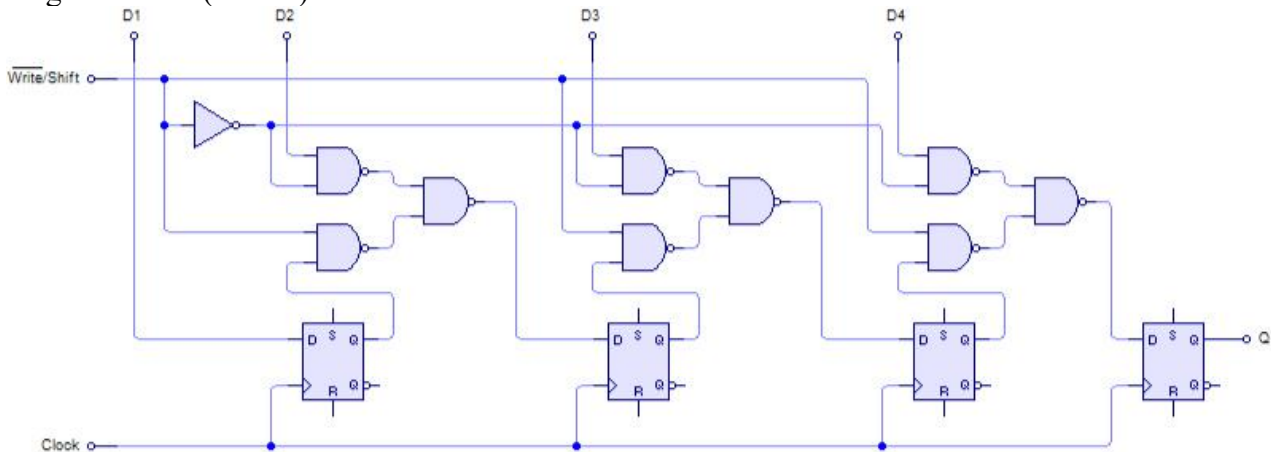
impossibili situazioni di conflitto; il rovescio della medaglia è una minore velocità d'aggiornamento dei singoli slave, senza contare che esistono delle limitazioni al numero di dispositivi slave inseribili nella catena dettate dal rispetto dei eventuali specifiche dei tempi minimi e massimi di lettura o scrittura e dal fatto che questo collegamento non è attuabile con tutti i tipi di periferiche che devono avere la stessa modalità di funzionamento e la stessa polarità di SS.

Per quanto concerne la struttura interna del sistema di comunicazione, ogni dispositivo SPI possiede al suo interno un **registro a scorrimento** utilizzato per inviare e ricevere i dati serializzati.

Shift register SIPO (slave)



Shift register PISO (master)

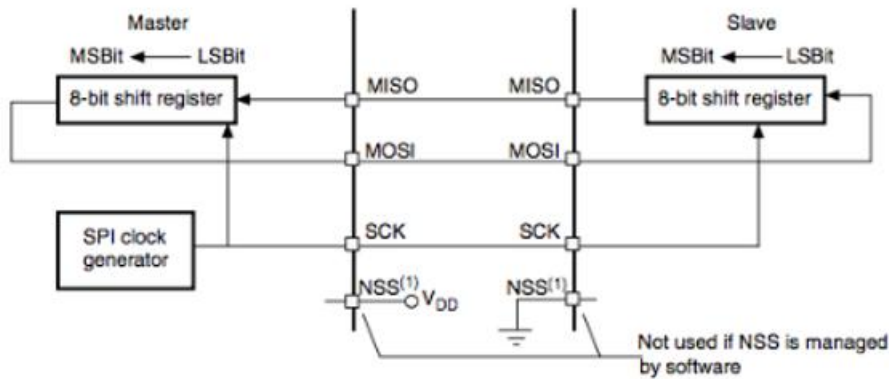


Esso è costituito da una serie di flip-flop di tipo D collegati tra loro in modo tale che l'uscita del precedente sia l'ingresso del successivo. Ogni flip-flop è dotato di un ingresso per il dato (D), di un ingresso per la sincronizzazione (clock) e di un uscita (Q). Ad ogni impulso di clock, ciascun flip-flop trasferisce il dato presente al proprio ingresso alla sua uscita e lo mantiene finché non cambia l'ingresso.

In SPI, usualmente tale registro ha una dimensione di 8 bit, ma in generale potrebbe avere una dimensione arbitraria, a patto che siano di uguali dimensioni il registro del dispositivo master e quello dello slave. Se si suppone un trasferimento da parte del master verso lo slave, il dato contenuto nell'ultimo flip-flop verrà trasmesso sul canale MOSI, a sua volta, nello slave, connesso al primo flip-flop del suo registro a scorrimento. In maniera analoga, l'ultimo flip-flop del registro a scorrimento dello slave è collegato al

canale in uscita MISO, a sua volta, nel master, legato al primo flip-flop del proprio registro a scorrimento costituendo un architettura ad anello chiuso.

I bit che avanzano nei due registri a scorrimento utilizzano la medesima sincronizzazione proveniente dal clock generato dal master e seguendo un ordine che va dal bit più significativo al meno significativo o viceversa, a seconda di quanto impostato nel modulo SPI del master, ulteriore esempio dei canoni flessibili, purtroppo o per fortuna, del protocollo SPI.



La comunicazione tra master e slave avviene seguendo nell'ordine le seguenti operazioni:

1. Il master, nel caso in cui lo slave sia controllato singolarmente, seleziona lo slave con cui comunicare settando il canale SS corrispondente al livello logico basso. Nel caso di un'architettura di tipo slaves in catena, invece, il master setta solo il suo unico segnale SS, sempre a livello logico basso.
2. Dopo questo, solitamente si posiziona una breve attesa per la stabilizzazione o una attesa più lunga a seconda di quanto la periferica necessita per attivarsi.
3. Il master genera il segnale di clock, configurandolo ad una frequenza tale che tutti i dispositivi slave possano supportarlo.
4. Viene caricato il registro a scorrimento del master con il byte che s'intende trasmettere e parte la comunicazione sincronizzata dal clock: ad ogni impulso di clock, a partire dall'MSB o dall'LSB a seconda dell'ordine prescelto, viene trasmesso un bit dal registro a scorrimento del master a quello dello slave tramite il canale MOSI. Giunto allo shift register dello slave, il bit viene campionato e contemporaneamente viene inviato dal medesimo registro un altro bit verso il registro a scorrimento del master attraverso il canale MISO. Così, ogni dispositivo invierà dal proprio registro a scorrimento il suo bit più significativo, o meno significativo, e riceverà in contemporanea un altro bit che prenderà posto come bit meno significativo, o più significativo.
5. Il processo di trasmissione-ricezione si ripete fino all'ottavo bit del byte, dopodiché, la comunicazione si conclude sospendendo il clock e disabilitando la periferica.

In realtà, a causa delle elevate velocità che possono raggiungere i processi di trasmissione-ricezione, i dati non vengono trattati direttamente sui registri a scorrimento ma attraverso dei rispettivi registri bufferati. Inoltre, come ormai ci ha abituati la versatilità del protocollo SPI, è possibile trovare due distinti registri a scorrimento nello stesso dispositivo, uno addetto alla trasmissione e uno alla ricezione dei bit, è quindi, al di là di questo singolo particolare, sempre meglio documentarsi sui datasheet dei dispositivi utilizzati per appurare ogni caratteristica relativa alla comunicazione SPI. A titolo d'esempio si riporta lo schema di principio della comunicazione SPI rivolto al microcontrollore MSP430G2553 configurato in modalità master:

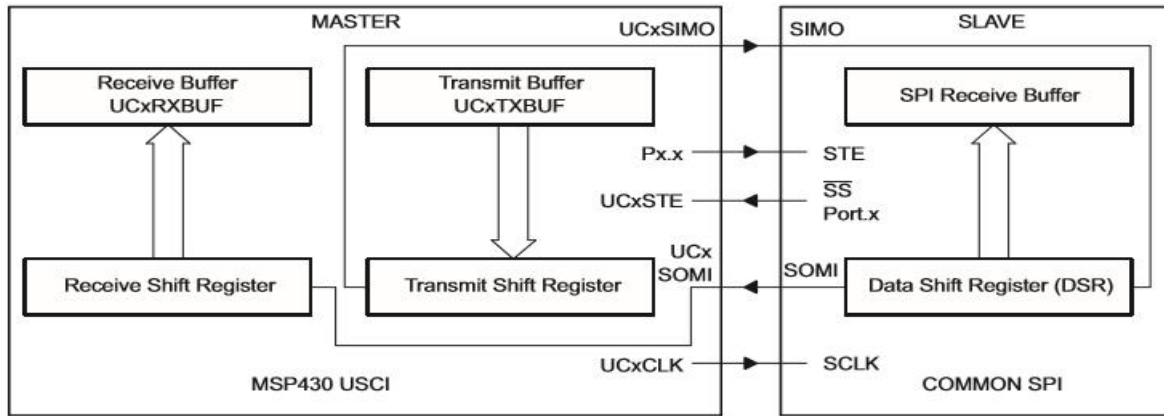


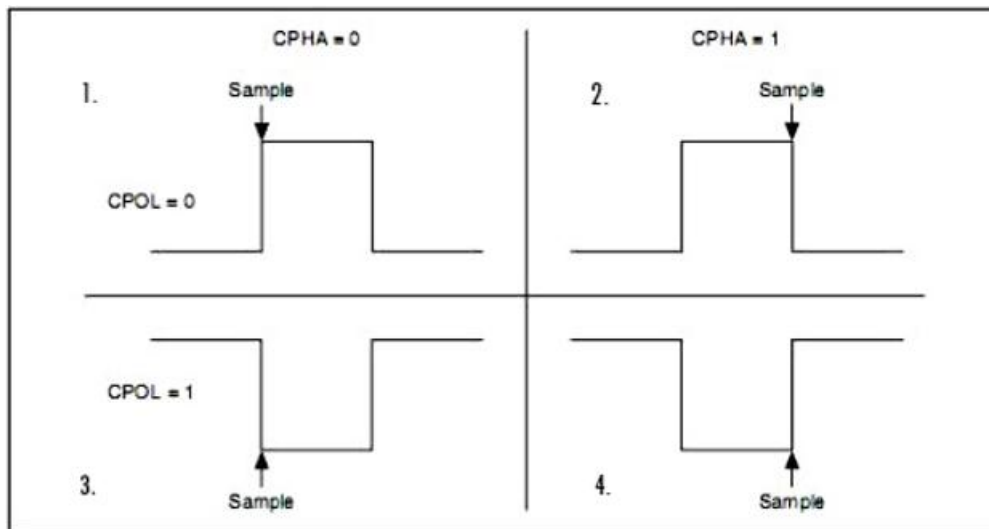
Figure 16-2. USCI Master and External Slave

Da quanto esposto risulta interessante notare come la comunicazione risulti effettivamente seriale, in quanto sulle linee MOSI e MISO transita soltanto un bit per volta, ma concretamente si svolge una comunicazione di tipo parallelo poiché i due bit transitano contemporaneamente, uno sul canale MOSI e uno sul MISO. È il principio dell'*full-duplex* secondo cui la trasmissione e la ricezione avvengono in contemporanea aumentando così la velocità di comunicazione.

Esistono, però, dei sistemi a bus SPI anche soltanto a **tre linee** di comunicazione. La linea esclusa può trattarsi della linea SS di abilitazione dello slave se ci troviamo a comunicare con uno slave soltanto e che quindi può rimanere sempre attivato, della linea del canale MISO che può essere rimossa quando la risposta dello slave non è importante ai nostri fini e che, invece, viene sempre ricevuta ogniqualvolta trasmettiamo un dato se è presente la linea MISO, anche se il suo contenuto viene ignorato e sfruttato alla sola constatazione del fatto che lo slave sia attivo per sopperire alla mancanza di un acknowledgment, ma più significativa è la riduzione da 4 a 3 linee per la fusione delle due linee monodirezionali MOSI e MISO in un'unica linea bidirezionale denominata **MOMI** o **SISO**. Nei dispositivi che supportano questa modalità, ad esempio la scheda di prototipazione con l'integrato TM1638 usata in laboratorio, il sistema di comunicazione non è più *full-duplex*, bensì diviene *half-duplex*, ossia le operazioni di trasmissione e ricezione non avvengono più in contemporanea, ma uno di seguito all'altra, perciò, con una diminuzione della velocità di comunicazione del bus.

Si è detto che il master setta la frequenza del segnale di clock. Esso deve inoltre configurare la sua polarità, ovvero il valore logico su cui si porta il segnale di clock quando questo è inattivo, e la sua fase, cioè il fronte di clock in cui lo slave campiona il dato in ingresso. Tali attributi sono settabili attraverso due parametri, **CPOL** per la polarità e **CPHA** per la fase, dando luogo a quattro possibili modalità di funzionamento:

- Per CPOL=0 il clock, nel suo stato di riposo, si porta a livello logico basso
 - Per CPHA=0 i dati vengono campionati sul fronte di salita del clock e inviati sul fronte di discesa
 - Per CPHA=1 i dati vengono campionati sul fronte di discesa del clock e inviati sul fronte di salita
- Per CPOL=1 il clock, nel suo stato di riposo, si porta a livello logico alto
 - Per CPHA=0 i dati vengono campionati sul fronte di discesa del clock e inviati sul fronte di salita
 - Per CPHA=1 i dati vengono campionati sul fronte di salita del clock e inviati sul fronte di discesa



La varietà delle possibili configurazioni applicabili al segnale di slave, figlie della mancanza di norme di comunicazione “standard”, esige un controllo da parte dell’operatore sulla modalità di funzionamento cui gli slave sono preposti, infatti, nella configurazione di slave collegati in catena, essendo tutti i dispositivi attivi contemporaneamente, tutti gli slave dovranno operare nella stessa maniera, mentre abilitando gli slave singolarmente, il master ha la possibilità di modificare di volta in volta le impostazioni di settaggio del clock per adeguarsi alle esigenze dello slave con cui va comunicando.

Ecco un elenco riassuntivo delle principali caratteristiche del bus SPI:

- **Architettura:** supporta un’architettura del tipo Master-Multi Slave, configurabile come accesso singolo o a catena, ma non possiede un sistema di arbitraggio in grado di prevedere più dispositivi master.
- **Conduttori:** 3-4 + n fili in base al numero degli n dispositivi slave collegati, oltre alle linee di alimentazione.
- **Velocità trasmissione:** la velocità di trasmissione è determinata dal clock di sincronizzazione generato dal master, il quale non ha una frequenza di funzionamento minima (i dispositivi sono statici e se alimentati possono mantenere uno stato logico per un tempo indefinito), ma ha delle limitazioni per quanto concerne la frequenza massima che deve essere supportata dai dispositivi slave ed è influenzata dal loro stesso numero, in quanto ogni dispositivo introduce sulle linee di comunicazione una capacità parassita, oltre che dalla distanza tra gli stessi dispositivi addetti alla comunicazione, ergo, la lunghezza delle linee di trasmissione. Grazie alla modalità full-duplex, solitamente la velocità di trasmissione si attesta sui circa 10Mbps, anche se alcuni dispositivi slave riescono a sopportare frequenze di clock anche superiori ai 50Mhz.
- **Distanza:** il bus SPI è pensato essenzialmente per connessioni tra componenti sullo stesso circuito stampato o, al massimo, nella stessa apparecchiatura, quindi su distanze limitate a centimetri o decine di centimetri; tuttavia, mediante l’uso di appositi buffer differenziali come l’RS-422 o l’RS-485, è possibile estendere sensibilmente la distanza raggiungibile coprendo distanze anche di centinaia di metri tra master e periferiche.
- **Rumore:** la lettura/scrittura dei dati viene effettuata sul fronte di salita o di discesa del segnale di clock a seconda della modalità di comunicazione scelta. Questo aumenta fortemente l’immunità al rumore in quanto il dato viene campionato solamente per un breve periodo di tempo.
- **Valori di tensione:** l’interfaccia SPI, oltre a non specificare la frequenza operativa non impone alcun vincolo sulle tensioni che caratterizzano i livelli logici. Ciononostante, al fine di eseguire una corretta comunicazione, è essenziale che entrambi i dispositivi lavorino con i medesimi valori logici, altrimenti non si potrebbero capire. Valori tipici di tensione sono: 1.8V, 3.3V, 3.6V e 5v. Qualora due dispositivi lavorino a tensioni diverse è necessario usufruire di traslatori di livello, al fine di rendere “comprensibili” ad entrambi i dispositivi i valori logici trasmessi. Inoltre, la semplicità dell’hardware impiegato, privo anche di resistenze di pull-down, rende l’SPI un bus a basso consumo.
- **Isolamento galvanico:** in applicazioni critiche è indispensabile aggiungere un sistema di isolamento completo tra unità a microcontrollore e periferiche remote allo scopo di evitare dannosi loop di terra, rischi per l’operatore e disturbi raccolti dalle linee. Grazie all’unidirezionalità delle linee di

comunicazione, questa soluzione risulta assai semplice da implementare facendo uso di optoisolatori o simili.

- **Protocollo:** il protocollo di trasmissione dispone di una grande flessibilità, in particolare il trasferimento dei dati non è limitato a 8 bit, e la sua semplicità lo rende facilmente emulabile via software, tuttavia la varietà dei settaggi rende talvolta difficile il supporto a tali variazioni e mancano strumenti per il controllo del flusso dei dati, dello stato delle periferiche e gli errori di trasmissione.

Per concludere, un breve elenco di applicazioni tipiche che implementano il bus di comunicazione SPI:

- Sensori: temperatura, pressione, ADC, touchscreen, controller per videogiochi.
- Dispositivi di controllo: codec audio, potenziometri digitali, DAC.
- Comunicazioni: Ethernet, USB, USART, CAN, videogiochi portatili.
- Memorie: flash, RAM, EEPROM.
- Orologi in tempo reale.
- Display LCD